

MHNO2-105

담당	팀장

Search Report

담당변리사
04/8

No.	의뢰처	의뢰자	연락처	의뢰접수일
2002 - 70	LG전자	송영한 과장	031-389-7133	2002.05.20
조사의뢰내용	SDRAM과 μ P memory controller의 clock비를 2:1로 interface하는 방법에 관한 선행 기술 조사			

[의뢰 내용]

1. 제목

SDRAM 과 μ P memory controller 의 clock 비를 2:1 로 interface 하는 방법

2. 발명의 기술분야 및 목적

SDRAM 과 Microprocessor(이하 μ P) memory controller 의 동작 clock 비가 2:1 을 이룰 때 synchronous device 끼리의 Interface 임에도 불구하고 1:1 clock 으로 동기를 맞추기 위해 SDRAM 의 clock 비를 memory controller 의 clock 에 맞춰 낮출 필요없이 2:1 clock 비로 바로 Interface 할 수 있는 방법에 관한 것으로 μ P 의 입장에서는 SDRAM 의 access latency 가 1/2로 줄어들고 memory 대역폭은 min 25% ~ 최대 100% 향상되는 방법에 관한 방법이다.

3. 본 발명의 특징과 요지

본발명은 SDRAM 과 μ P memory controller 의 2:1 clock interface 시 발생하는 문제를 해결하기 위해

1. μ P memory controller의 SDRAM 제어신호가 μ P의 동작 clock에 1/4 위상차를 가진 clock과 겹쳐 자신의 동작 clock 보다 2배의 clock 주기로 SDRAM 제어신호를 발생할

수 있다는 점과

2. SDRAM의 모든 command는 항상 자신의 동작 clock의 2배 주기로 발생된다는 점과 (*CL=2인 SDRAM 경우)
3. SDRAM의 clock suspend 기능으로 SDRAM의 read와 write timing을 한 clock씩 늦출 수 있다는 점과
4. μ P memory controller와 SDRAM의 clock의 위상차를 zero delay clock buffer(2x)를 사용함으로써 없게 만들 수 있다는 점을 이용하였다.

[선행기술의 검색 방향]

1차적으로 제목을 중심으로 키워드를 선정하고, CKE, Suspend 등의 관련 기술들을 조합하여 선행자료 조사를 하였습니다.

[조사 범위]

■ 검색대상국가 : 한국(KS), 미국(US), 일본(JP)

■ 검색 DB : WIPS, DELPHION,

■ 검색범위

- 한국공개특허/실용신안 : 1990 ~ 현재 (공개일 기준)
- 미국등록특허 : 1990 ~ 현재 (등록일 기준)
- 미국공개특허 : 2001 ~ 현재 (공개일 기준)
- 일본공개특허/실용신안 : 1990 ~ 현재 (공개일 기준)

■ 주요 검색 키워드

- (마이크로* or micro* or 컨트롤* or controller)
- (에스디램 SDRAM 디램 DRAM 메모리 memory)

- (클럭 클럭 클럭 clock) and (인터페이스 interface 동기 synchro*)
- (CKE and CLK) and LATENCY and SUSPEND*

■ IPC

- G11C 8/00 : 디지털 기억장치에 있어서 어드레스(address)를 선택하는 장치

(반도체 소자를 이용하는 저장을 위한 보조 회로 11/4063, 11/413, 11/4193)

- G11C 11/413 : 보조 회로들, 예. 어드레싱, 디코딩, 드라이빙, 라이팅, 센싱,
타이밍 혹은 전력감소

[조사 결과]

➔ 관련 자료 리스트

- 일본공개특허 1997-198875 : 동기형 반도체 기억장치
- 미국등록특허 6,314,049 : Elimination of precharge operation in synchronous flash memory

[관련특허의 Patent Family]

한 국	미 국	일 본	유럽/국제
한국등록특허 240539	미국등록특허 5880998	공개특허 1997-198875	
	미국등록특허 6,314,049		국제공개특허 0175623 0175890 0175892 등

관련자료 요약

일본공개특허 1997-198875 : 동기형 반도체 기억장치

구성요소	배표도
<p>[발명이 속한 기술 분야]</p> <p>본 발명은, 외부에서 주어지는 클럭 신호에 동기하여 동작하는 클럭 동기형 반도체 기억 장치에 관하고, 특히 클럭 동기형 반도체 기억 장치의 외부 신호를 받는 입력 버퍼의 구성에 관한 것이다.</p> <p>[]</p> <p>그림 15는 SDRAM의 내부 구조를 개략적으로 표시하는 블록도이다. 그림 15에 있어, SDRAM은 외부 클럭 extCLK을 버퍼 처리하는 클럭 버퍼 1과, 외부 클럭 이네이블 신호 extCKE를 클럭 버퍼 1의 출력에 동기하여 검출 래치하여 내부 클럭 이네이블 신호 intCKE를 생성하는 CKE 버퍼 회로 2와, 내부 클럭 이네이블 신호 intCKE의 활성화시 활성화상태로 되어, 클럭 버퍼 1의 출력 신호에 따라 내부 클럭 신호 intCLK를 생성하는 내부 클럭 발생 회로 4를 포함한다. 내부 클럭 발생 회로 4는, 이 내부 클럭 이네이블 신호 intCKE의 비활성화시, 즉 외부 (내부) 클럭 신호의 무효상태를 나타내는 때에는, 내부 클럭 신호 intCLK를 L레벨에 고정한다.</p> <p>그림 16은, 이 외부 클럭 이네이블 신호 extCKE의 작용을 설명하기 위한 그림이다. 그림 16(A)에 표시하듯이, 클럭 사이클 0에 있어, 외부 클럭 이네이블 신호 extCKE가 H레벨인 경우에는, 다음 클럭 사이클 1에 있어 외부 클럭 신호 extCLK에 동기하여 내부 클럭 intCLK가 생성된다.</p>	<p>(A)</p> <p>(B)</p>

미국등록특허 6,314,049 : Elimination of precharge operation in synchronous flash memory

구 성 요 소	배 표 도
<p>[발명의 상세한 설명]</p> <p>Input clock enable (CKE) connection은 CLK 입력신호를 활성화(HIGH state)되게 하거나 비활성화(LOW state)되게 한다. 비활성화된 클럭 입력은 POWER-DOWN과 STANDBY 연산(모든 메모리 뱅크들이 비어 있는 곳), ACTIVE POWER-DOWN(한 메모리 행은 어느쪽의 뱅크라도 active이다) 또는 CLOCK SUSPEND연산(진행중의 burst/access)을 제공한다. CKE는 device가 전압저하모드(그때는 CKE는 이같은 모드를 빠져나갈때까지 비동기가된다.)로 들어간 후를 제외하고는 동기이다. CLK를 포함한 입력 버퍼들은 전력 저하 모드 동안에는 낮은 예비 전력을 제공할 수 있다. CKE는 전력 저하 모드(other than RP# deep power-down)들이 요청되지 않는 시스템에서 HIGH로 연결 될 수 있을것이다.</p> <p>Clock suspend mode 는 column access/burst가 진행중이고 CKE 가 LOW 로 기록 되어있을 때에 발생한다. 이 Clock suspend mode 에서, 내부 클럭은 비활성화 즉 동기 논리가 정지하게 된다. CKE 가 LOW 로 샘플된 각각의 positive 클럭 edge 에 대하여, 다음으로 오는 내부 positive 클럭 edge 는 suspend 된다. 내부 클럭 edge 가 suspend 일때, 입력 핀에 있는 어떠한 명령이나 data 도 받아들여지지 않는다. 즉 클럭이 suspend 되어있는 한(그림 14의 예를 보시오) DQ 핀들 위에 있는 어떠한 데이터라도 driven 될것이며 burst counter 들도 증가되지 않을 것이다. Clock suspend mode 는 CKE HIGH 로 기록되면서 빠져나오게 된다.; 내부 클럭과 이와 관련된 연산은 다음의 positive clock edge 에서 다시 재개될것이다. burst read/single write mode 는 하나의 구현시에 있어서 default 모드이다. READ 명령어들이 프로그램된 burst 길이와 시퀀스에 따라 coulumn에 액세스되는 동안 모든 WRITE 명령어들은 하나의 column 위치에 액세스되게 된다. 다음의 Truth 표 3 은 CKE 신호를 사용하는 메모리 연산을 보여주고 있다.</p>	

[조사 의견]

일반적으로 마이크로 프로세서와 RAM의 동기는 마이크로 프로세서가 RAM보다 고속으로 동작하기 때문에 마이크로 프로세서의 대기 시간을 감소시키는 방향으로 동기화가 이루어짐에 비해, 본 발명에서 제안한 SDRAM과 마이크로 프로세서 메모리 제어기의 CLOCK비를 2:1로 인터페이스하는 방법은 마이크로 프로세서보다 SDRAM의 속도가 빠른 경우이다.

한편, 본 발명은 마이크로 프로세서와 SDRAM이 구비하고 있는 기능을 이용한 것으로 해결수단 4. (Zero delay clock buffer(2X)의 사용) 이외의 구성은 공지되어 있는 기술이다. 다만, 하기의 참고자료에는 50MHz의 마이크로 프로세서와 100MHz의 SDRAM의 인터페이스에 관한 기술이 있으나, 마이크로 프로세서의 데이터 버스 라인은 32bit임에 비해 SDRAM의 데이터 버스 라인은 이보다 적은 8bit 또는 16bit로 Zero delay clock buffer(2X)의 사용이 요구되지 않는 것으로 사료된다.

● 참고자료

➤ MOTOROLA Application note (MPC8xx SDRAM Interface)